



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Naofumi NAKAMURA, et al.

GAU:

SERIAL NO: 10/628,372

EXAMINER:

FILED: July 29, 2003

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-123737	April 28, 2003

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

 Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

10/628,372

03S0040

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 4月28日

出願番号 Application Number: 特願2003-123737

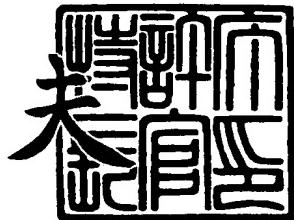
[ST. 10/C]: [JP2003-123737]

出願人 Applicant(s): 株式会社東芝

2003年 7月18日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3057580



【書類名】 特許願
【整理番号】 A000300139
【提出日】 平成15年 4月28日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/00
【発明の名称】 半導体装置及びその製造方法
【請求項の数】 23
【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
【氏名】 中村 直文
【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
【氏名】 松永 範昭
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第1導電性領域を有する下地部分と、
前記下地部分と離間して配設された配線層と、
前記下地部分から前記配線層までの領域を占め、気体が充填された状態、または第1層間絶縁膜が配設された状態である、第1領域と、
前記第1領域内に配設され、且つ前記第1導電性領域と前記配線層とを電気的に接続する、導電性の第1接続プラグと、
前記第1接続プラグとの間に、前記気体が充填されるかまたは第1層間絶縁膜が配設されるように前記第1領域内に配設され、且つ前記配線層から前記下地部分に達し、且つ第2ヤング率を有する、絶縁性の第1支持プラグと、
を具備することを特徴とする半導体装置。

【請求項 2】 前記第1領域は、第1ヤング率を有する前記第1層間絶縁膜が配設された状態であり、前記第2ヤング率は前記第1ヤング率より高いことを特徴とする請求項1に記載の半導体装置。

【請求項 3】 前記下地部分は第2導電性領域を有し、
前記半導体装置は、前記第1領域内に配設され、且つ前記第2導電性領域と前記配線層とを電気的に接続する、導電性の第2接続プラグをさらに具備し、
前記配線層は、前記第2接続プラグに亘り、且つ前記第2接続プラグを介して前記第2導電性領域と電気的に接続され、
前記第1支持プラグは前記配線層に沿って前記第1接続プラグと前記第2接続プラグとの間に位置する、
ことを特徴とする請求項1または2に記載の半導体装置。

【請求項 4】 前記第1領域内に配設され、且つ前記配線層から前記下地部分に達する、絶縁性の第2支持プラグをさらに具備し、
前記配線層は前記第2支持プラグに亘り、
前記第2支持プラグは前記配線層に沿って前記第1支持プラグと前記第2接続プラグとの間に位置する、

ことを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記第1領域内に配設され、且つ前記配線層から前記下地部分に達する、絶縁性の第3乃至第n支持プラグをさらに具備し、

前記配線層は前記第3乃至第n支持プラグに亘り、

前記第1乃至第n支持プラグの前記配線層と面する面の面積の合計は、前記配線層の前記下地部分と面する面の面積の1%～80%であることを特徴とする請求項3または4に記載の半導体装置。

【請求項6】 第1導電性領域を有する下地部分と、

前記下地部分上に配設され、且つその上面から前記下地部分に達する第1貫通孔を有し、且つその上面から前記第1導電性領域に達する第2貫通孔を有し、且つ第1ヤング率を有する、第1層間絶縁膜と、

前記第1貫通孔内に配設され、且つ前記第1ヤング率より高い第2ヤング率を有する、絶縁性の第1支持プラグと、

前記第2貫通孔内に配設された、導電性の第1接続プラグと、

前記第1層間絶縁膜上で前記第1接続プラグから前記第1支持プラグに亘って配設され、且つ前記第1接続プラグを介して前記第1導電性領域と電気的に接続された、配線層と、

を具備することを特徴とする半導体装置。

【請求項7】 前記下地部分は第2導電性領域を有し、

前記第1層間絶縁膜は、その上面から前記第2導電性領域に達する第3貫通孔を有し、

前記第3貫通孔内に導電性の第2接続プラグが配設され、

前記配線層は、前記第2接続プラグに亘り、且つ前記第2接続プラグを介して前記第2導電性領域と電気的に接続され、

前記第1支持プラグは前記配線層に沿って前記第1接続プラグと前記第2接続プラグとの間に位置する、

を特徴とする請求項6に記載の半導体装置。

【請求項8】 前記第1層間絶縁膜は、その上面から前記下地部分に達する第4貫通孔を有し、

前記第4貫通孔内に、前記第1層間絶縁膜より高いヤング率を有する絶縁性の第2支持プラグが配設され、

前記配線層は、前記第2支持プラグに亘り、

前記第2支持プラグは前記配線層に沿って前記第1支持プラグと前記第2接続プラグとの間に位置する、

ことを特徴とする請求項7に記載の半導体装置。

【請求項9】 前記第1層間絶縁膜は、その上面から前記下地部分に達する第5乃至第n+2貫通孔を有し、

前記第5乃至第n+2貫通孔内に、前記第1層間絶縁膜より高いヤング率を有する絶縁性の第3乃至第n支持プラグが配設され、

前記配線層は、前記第3乃至第n支持プラグに亘り、

前記第1乃至第n支持プラグの前記配線層と面する面の面積の合計は、前記配線層の前記下地部分と面する面の面積の1%～80%であることを特徴とする請求項7または8に記載の半導体装置。

【請求項10】 前記第2ヤング率は、10以上であることを特徴とする請求項1乃至9のいずれか1項に記載の半導体装置。

【請求項11】 前記第2ヤング率は、前記第1ヤング率の2倍以上であることを特徴とする請求項2乃至10のいずれか1項に記載の半導体装置。

【請求項12】 前記第1支持プラグは、SiO、SiN、SiC、SiOCからなる群から選択された材料から実質的に構成されることを特徴とする請求項1乃至11のいずれか1項に記載の半導体装置。

【請求項13】 前記第1層間絶縁膜は、比誘電率が、2.6以下の材料により実質的に構成されることを特徴とする請求項2乃至12のいずれか1項に記載の半導体装置。

【請求項14】 前記配線層の上端と同じ高さの位置に上端が位置するよう配設され、且つ前記第1支持プラグと同じ材料から実質的に構成される、支持層をさらに具備することを特徴とする請求項1乃至13のいずれか1項に記載の半導体装置。

【請求項15】 前記支持層23の厚さは、5nm～300nmであること

を特徴とする請求項 1 乃至 14 のいずれか 1 項に記載の半導体装置。

【請求項 16】 前記配線層上に配設された第 2 層間絶縁膜をさらに具備することを特徴とする請求項 1 乃至 15 のいずれか 1 項に記載の半導体装置。

【請求項 17】 第 1 導電性領域を有する下地部分を形成し、

前記下地部分上に第 1 ヤング率を有する層間絶縁膜を堆積し、

前記層間絶縁膜内に、その上面から前記下地部分に達する第 1 貫通孔を形成し、

前記第 1 貫通孔を埋め込むとともに前記層間絶縁膜上に亘るように、前記第 1 ヤング率より高い第 2 ヤング率を有する第 1 絶縁膜を形成し、

前記層間絶縁膜内に、その上面から前記第 1 導電性領域に達する第 2 貫通孔を形成し、

前記層間絶縁膜の表面に、底部が前記第 2 貫通孔と接続されるとともに前記第 1 貫通孔に埋め込まれた第 1 絶縁膜に亘る配線溝を形成し、

前記第 2 貫通孔および前記配線溝を第 1 導電膜で埋め込む、

ことを特徴とする半導体装置の製造方法。

【請求項 18】 前記第 1 絶縁膜を形成した後に、前記第 1 絶縁膜の前記層間絶縁膜上に形成された部分を除去することをさらに具備することを特徴とする請求項 17 に記載の半導体装置の製造方法。

【請求項 19】 第 1 導電性領域を有する下地部分を形成し、

前記下地部分上に、第 2 ヤング率を有する柱状の支持プラグを形成し、

前記支持プラグを覆うように前記下地部分上に第 1 ヤング率を有する層間絶縁膜を形成し、

前記層間絶縁膜内に、前記第 1 導電性領域に達する接続プラグを形成し、

前記層間絶縁膜の表面に前記支持プラグおよび前記接続プラグに亘る配線層を形成する、

ことを具備し、前記第 2 ヤング率は前記第 1 ヤング率より高いことを特徴とする半導体装置の製造方法。

【請求項 20】 前記支持プラグを形成することは、

前記下地部分上に前記支持プラグの材料膜を堆積し、

前記材料膜上に前記支持プラグの形状に対応するパターンを有するマスク材を堆積し、

前記マスク材をマスクとして、前記材料膜をエッチングする、
ことを具備することを特徴とする請求項19に記載の方法。

【請求項21】 前記支持プラグを形成することは、
前記下地部分上に第1絶縁膜を堆積し、
前記第1絶縁膜内に、その上面から前記下地部分に達する貫通孔を形成し、
前記貫通孔を前記支持プラグの材料膜で埋め込み、
前記第1絶縁膜を除去する、
ことを特徴とする請求項19に記載の半導体装置の方法。

【請求項22】 前記第2貫通孔および前記配線溝を第1導電膜で埋め込んだ後、

前記層間絶縁膜上の前記第1絶縁膜上および前記配線溝に埋め込まれた前記第1導電膜上に第2絶縁膜を堆積し、
前記層間絶縁膜を除去する、
ことをさらに具備することを特徴とする請求項17に記載の半導体装置の方法

。 【請求項23】 前記第2貫通孔および前記配線溝を第1導電膜で埋め込んだ後、

前記層間絶縁膜上および前記配線溝に埋め込まれた前記第1導電膜上に第2絶縁膜を堆積し、
前記層間絶縁膜を除去する、
ことをさらに具備することを特徴とする請求項18に記載の半導体装置の方法
。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、詳しくは、多層配線構造を有し、かつ配線間の領域が低強度の材料により充填された半導体装置に関する。

【0002】**【従来の技術】**

近年、半導体装置の微細化および高集積化に対応するべく、多層配線構造が採用されている。図23は、従来の多層配線構造を有する半導体装置を概略的に示す断面図である。図23に示すように、半導体基板101の表面に配線層102a、102b、102cが形成される。層間絶縁膜103の表面には、配線層104a、104bが設けられる。配線層104a、104bは、接続プラグ105a、105bにより配線層102b、102cと接続される。

【0003】

半導体装置を構成する絶縁膜および導電膜により寄生抵抗、寄生容量が形成され、これら寄生抵抗および寄生容量によりRC遅延が発生する。RC遅延による影響を低減するために、例えば比誘電率が2.5程度以下の低誘電率材料による層間絶縁膜を使用することが検討されている。低誘電率材料として、例えば、多孔質SiOC（カーボン含有シリコン酸化膜）等が用いられる。

【0004】

配線層間の容量を低下するために、いわゆる空中配線構造も検討されている。空中配線構造は、層間絶縁膜に相当する領域が、真空であるか、または気体が封入された状態にある。空中配線構造を採用することにより、配線間の領域の比誘電率を大きく低下することが可能である。

【0005】

この出願の発明に関連する先行技術文献情報としては次のものがある。

【0006】**【特許文献1】**

特開平11-307633号公報

【0007】**【特許文献2】**

特開2000-294633号公報

【0008】**【発明が解決しようとする課題】**

ところで、比誘電率の低い材料は概して強度が低いため、層間絶縁膜に低誘電率材料を用いることにより、以下の問題が生じる。

【0009】

まず、CMP (Chemical Mechanical Polish) を用いて表面を平坦化する際、層間絶縁膜103が上方からかかる圧力に耐えられない部位が生じる。このため、図24に示すように、特に下に接続プラグが形成されていない配線層104aの周囲の層間絶縁膜103に亀裂が生じる。また、多層配線構造が高層化することに伴い、低層、すなわち半導体基板101近傍の層間絶縁膜103が、上からの荷重に耐えられない場合が生じる。この場合も、低層の層間絶縁膜103に亀裂が生じる。

【0010】

また、製造工程中の熱処理後に冷却されることにより、半導体装置の各部位は、材料に応じて方向および力が異なる応力を生じる。従来、配線層104bにかかる応力は、層間絶縁膜103が生じる応力により、相殺されていた。しかし、層間絶縁膜103として低強度材料が用いられる場合、配線層104bは、層間絶縁膜103からの十分な応力を得られないため、分断される可能性がある。

【0011】

空中配線構造が用いられた場合、層間絶縁膜103に該当する領域の強度は、低強度の層間絶縁膜103の場合よりも、さらに低い。このため、低強度の層間絶縁膜103を用いたことに起因した上記問題は、より顕著となる。

【0012】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは、多層配線構造を有する半導体装置において、低強度の層間絶縁膜が使用された場合および空中配線構造が採用された場合、層間絶縁膜に亀裂が生じたり、配線層が分断されたりすることを回避可能な半導体装置およびその製造方法を提供しようとするものである。

【0013】

【課題を解決するための手段】

本発明の第1の視点による半導体装置は、第1導電性領域を有する下地部分と

、前記下地部分と離間して配設された配線層と、前記下地部分から前記配線層までの領域を占め、気体が充填された状態、または第1層間絶縁膜が配設された状態である、第1領域と、前記第1領域内に配設され、且つ前記第1導電性領域と前記配線層とを電気的に接続する、導電性の第1接続プラグと、前記第1接続プラグとの間に、前記気体が充填されるかまたは第1層間絶縁膜が配設されるよう前記第1領域内に配設され、且つ前記配線層から前記下地部分に達し、且つ第2ヤング率を有する、絶縁性の第1支持プラグと、を具備することを特徴とする。

【0014】

本発明の第2の視点による半導体装置は、第1導電性領域を有する下地部分と、前記下地部分上に配設され、且つその上面から前記第1導電性領域に達する第1貫通孔を有し、且つその上面から前記下地部分に達する第2貫通孔を有し、且つ第1ヤング率を有する、第1層間絶縁膜と、前記第1貫通孔内に配設された、導電性の第1接続プラグと、前記第2貫通孔内に配設され、且つ前記第1ヤング率より高い第2ヤング率を有する、絶縁性の第1支持プラグと、

前記第1層間絶縁膜上で前記第1接続プラグから前記第1支持プラグに亘って配設され、且つ前記第1接続プラグを介して前記第1導電性領域と電気的に接続された、配線層と、を具備することを特徴とする。

【0015】

本発明の第3の視点による半導体装置の製造方法は、第1導電性領域を有する下地部分を形成し、前記下地部分上に第1ヤング率を有する層間絶縁膜を堆積し、前記層間絶縁膜内に、その上面から前記下地部分に達する第1貫通孔を形成し、前記第1貫通孔を埋め込むとともに前記層間絶縁膜上に亘るように、前記第1ヤング率より高い第2ヤング率を有する第1絶縁膜を形成し、前記層間絶縁膜内に、その上面から前記第1導電性領域に達する第2貫通孔を形成し、前記層間絶縁膜の表面に、底部が前記第2貫通孔と接続されるとともに前記第1貫通孔に埋め込まれた第1絶縁膜に亘る配線溝を形成し、前記第2貫通孔および前記配線溝を第1導電膜で埋め込む、ことを特徴とする。

【0016】

本発明の第4の視点による半導体装置の製造方法は、第1導電性領域を有する下地部分を形成し、前記下地部分上に、第2ヤング率を有する柱状の支持プラグを形成し、前記支持プラグを覆うように前記下地部分上に第1ヤング率を有する層間絶縁膜を形成し、前記層間絶縁膜内に、前記第1導電性領域に達する接続プラグを形成し、前記層間絶縁膜の表面に前記支持プラグおよび前記接続プラグに亘る配線層を形成する、ことを具備し、前記第2ヤング率は前記第1ヤング率より高いことを特徴とする。

【0017】

更に、本発明に係る実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施の形態に示される全構成要件から幾つかの構成要件が省略されることで発明が抽出された場合、その抽出された発明を実施する場合には省略部分が周知慣用技術で適宜補われるものである。

【0018】

【発明の実施の形態】

以下に本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0019】

(第1実施形態)

図1は、本発明の第1実施形態に係る半導体装置を概略的に示す断面図である。図1に示すように、半導体装置1は、多層配線構造を有する。

【0020】

半導体装置1は、半導体基板(下地部分)2を有する。半導体基板2の材料として、例えばシリコン(Si)が用いられる。半導体基板2の表面には、ダマシン構造の1層目の配線層11a、配線層11b(第1導電性領域)、配線層11c(第2導電性領域)が設けられる。配線層11a、11b、11c(以下、特に明示しない限り包括的に配線層11)は、例えばアルミニウム(Al)、銅(Cu)等により構成される。銅を用いることにより、配線層11の抵抗を低下さ

せることができる。また、配線層11の周囲にバリアメタル（図示せぬ）が設けられた構造とすることもできる。

【0021】

配線層11の表面を含む半導体基板2上の全面にストッパー層12が設けられる。ストッパー層12の材料として、例えば窒化シリコン（Si₃N₄、SiN）が用いられる。ストッパー層12は、配線層11からの金属成分が拡散する機能、およびオーバーエッチングを防止する機能を有する。これらの機能を確保する観点から、ストッパー層12は、500Å程度の膜厚を有する。

【0022】

半導体基板2の上方（ストッパー層12上）の領域（第1領域）には、1層目の層間絶縁膜13が設けられる。層間絶縁膜13の材料として、例えば比誘電率が2.6程度以下の低誘電率材料が用いられる。具体的には、多孔質SiOC、有機膜、多孔質有機膜が用いられる。

【0023】

層間絶縁膜13内に、柱状の接続プラグ（ビア）21a、接続プラグ21bが設けられる。接続プラグ21a、21b（以下、特に明示しない限り包括的にシ接続プラグ21）は、ストッパー層12まで達する。層間絶縁膜13内には、また、支持プラグ22a、支持プラグ22b、支持プラグ22cが設けられる。支持プラグ22は、層間絶縁膜13より硬い物質により実質的に構成される。支持プラグ22a、22b、22c（以下、特に明示しない限り包括的に支持プラグ22）は、例えば接続プラグ21と同様に柱状の形状を有し、層間絶縁膜13の高さ方向に沿って設けられる。支持プラグ22については、後に詳述する。

【0024】

層間絶縁膜13上の全面には、支持層23が設けられる。支持層23は、支持プラグ22と実質的に同じ材料から構成される。支持層23は、CMP工程時にかかる圧力、2層目の層間絶縁膜31以上の層からかかる荷重を緩和する機能を有する。また、後に詳述するように、層間絶縁膜13の強度を補強する機能を有する。これらの機能を確保する観点から、支持層23は、5nm～300nm、好ましくは30nm～150nmの厚さを有する。

【0025】

支持層23の表面から層間絶縁膜13の上部一部分に亘る部分に、2層目の配線層24a、24b（以下、特に明示しない限り包括的に配線層24）が設けられる。配線層24の上面と支持層23の上面とは実質的に同じ高さを有する。配線層24aは、図面に垂直な方向に延在している。配線層24bは、接続プラグ21a、21bを介して1層目の配線層11b、11cとそれぞれ電気的に接続される。2層目の配線層24、接続プラグ21は、例えば1層目の配線層11と同じ材料から構成される。また、図示せぬバリアメタルを有する構造とすることもできる。

【0026】

支持層23および配線層24aの上には、2層目の層間絶縁膜31が所望により設けられる。図1において、説明の簡略化のため記載していないが、層間絶縁膜31内にさらに配線層を設けること、および層間絶縁膜31上にさらなる層間絶縁膜および配線層を設けることが可能である。さらに、2層目の層間絶縁膜31より上の構造に、1層目の層間絶縁膜13および支持プラグ22と同様の構造を任意に適用することももちろん可能である。この場合、図1の半導体基板2が2層目の層間絶縁膜31に対応して、その他の部分は、図1に示す構造と同じになる。2層目の層間絶縁膜31に関する、以上の記載は、第2実施形態以降についても適用される。

【0027】

次に、支持プラグ22について、以下に説明する。支持プラグ22は、層間絶縁膜13にかかる圧力を緩和することにより、層間絶縁膜13に亀裂、分断等が生じることを防止する機能を有する。また、層間絶縁膜13と配線層24との応力の違いにより、配線層が熱工程後に、延在方向に沿って分断されることを防止する機能を有する。

【0028】

支持プラグ22を構成は、以下に示すように、層間絶縁膜13の構成、配置、強度、材料等を考慮して決定される。また、層間絶縁膜13にかかる荷重が十分緩和され、且つ配線層24が分断されないような面積、配置間隔を有するように

決定される。

【0029】

支持プラグ22の具体的な構成の1つとして、例えば、層間絶縁膜13より硬い物質により構成される。層間絶縁膜13より硬い物質の構成の1つとして、支持プラグ22は、層間絶縁膜13のヤング率より大きいヤング率を有する。具体的には、層間絶縁膜13のヤング率の2倍以上とされる。このようなヤング率を有する材料として、例えばシリコン酸化膜(SiO₂、SiO)、SiN、シリコン炭化膜(SiC)、SiOCが用いられる。

【0030】

また、支持プラグ22の具体的な構成の1つとして、支持プラグ22の幅(配線層の延在方向と交わる方向)Xは、配線層24の幅(配線層の延在方向と交わる方向)Aの1%～100%、好ましくは10%～50%、より好ましくは10%～30%である。

【0031】

また、支持プラグ22の具体的な構成の1つとして、支持プラグ22は、層間絶縁膜13内の、接続プラグ21が設けられていない領域に、少なくとも設けられる。また、支持プラグ22は配線層24に沿って複数設けられる(図1では2本を例示)。支持プラグ22の相互間の間隔は、配線層24の延在方向の長さY、および配線層24の長さBに応じて決定することができる。一例として、長さYの0.05%～50%、好ましくは1%～50%、さらに好ましくは10%～30%の距離ごとに設けられる。

【0032】

また、支持プラグ22の具体的な構成の1つとして、配線層24の底面積のうちで接続プラグ21が設けられていない領域の面積の1%～80%、好ましくは5%～30%、さらに好ましくは10%～20%の領域に支持プラグ22が設けられるように、各支持プラグ22の断面積、間隔等を決定しても良い。

【0033】

なお、上記したように、支持プラグ22は層間絶縁膜13より硬い物質により構成される。概して、硬度が高い物質であるほど、比誘電率が増加する。このた

め、支持プラグ22を多く設けすぎると、配線層11と配線層24との間の領域の比誘電率が、全体として増大する。したがって、この領域の所望の比誘電率を得られるとともに、層間絶縁膜13にかかる圧力が十分に緩和されるように、支持プラグ22の構成を決定するとよい。

【0034】

次に、上記構成の半導体装置1の製造方法について、図1～図7を参照して説明する。まず、図2に示すように、半導体基板2の表面に、1層目の配線層11a、11b、11c用の配線溝が、リソグラフィー工程、およびRIE(Reactive Ion Etching)等のエッチング技術を用いて形成される。次に、半導体基板2上の全面に配線層11a、11b、11cの材料膜が堆積されることにより、配線溝がこの材料膜により埋め込まれる。次に、半導体基板2上の余分な材料膜がCVD法等を用いて除去される。この結果、配線層11a、11b、11cが形成される。

【0035】

次に、図3に示すように、配線層11上を含む半導体基板2上の全面に、例えばCVD(Chemical Vapor Deposition)法、スパッタリング法、塗布法等(以下、単に公知の方法)を用いてストッパー層12が形成される。次に、ストッパー層12上に、公知の方法を用いて層間絶縁膜13が形成される。次に、支持プラグ22a、22b、22cが形成される予定の領域の層間絶縁膜13内に、リソグラフィー工程およびエッチング技術を用いて、ビアホール(第2貫通孔)41a、41b、41cが形成される。

【0036】

次に、図4に示すように、半導体基板2上の全面に例えば公知の方法により、支持プラグ22a、22b、22c、および支持層23の材料膜が堆積される。この材料膜によりビアホール(第1貫通孔)41a、41b、41cが埋め込まれることにより、支持プラグ22a、22b、22c、および支持層23が形成される。

【0037】

次に、図5に示すように、接続プラグ21a、21bが形成される予定の領域

の層間絶縁膜13内に、リソグラフィー工程およびエッティング技術を用いて、ビアホール42a、42bが形成される。

【0038】

次に、図6に示すように、2層目の配線層24a、24b用の配線溝43a、43bが、リソグラフィー工程およびエッティング技術を用いて形成される。

【0039】

次に、図7に示すように、半導体基板2上の全面に配線24、接続プラグ21の材料膜が、例えばCVD法等により堆積される。この結果、ビアホール42a、42b、配線溝43a、43bが材料膜により埋め込まれる。次に、支持層23上の余分な材料膜がCMP法により除去されることにより、配線24a、24b、接続プラグ21a、21bが形成される。

【0040】

次に、図1に示すように、層間絶縁膜31が形成され、所望により、さらなる配線層、接続プラグ等が形成される。

【0041】

本発明の第1実施形態によれば、層間絶縁膜13において、配線層24、24bの下に接続プラグ21a、21bが設けられていない部分に支持プラグ22a、22b、22cが設けられる。支持プラグ22は、層間絶縁膜13より強度の高い材料により構成される。このため、CMP時の圧力、またはより上層から層間絶縁膜13にかかる荷重が、支持プラグ22により緩和される。したがって、配線層24のうちで接続プラグ21上に無い部分が層間絶縁膜13に向かって陥没したり、埋没したりすることを防止できる。よって、この部分で層間絶縁膜13に亀裂が生じることを回避できる。

【0042】

さらに、2層目の配線層24a、24b間の層間絶縁膜13上に支持層23が設けられている。このため、上からかかる圧力および荷重が支持層23により広範囲に亘って分散される。したがって、支持プラグ22により得られる効果とあいまって、配線層24が陥没したり、埋没したり、分断されたりすることを防止する効果が高まる。

【0043】

また、配線層24内で延在方向に発生する応力が支持プラグ22により緩和される。したがって、配線層24が熱処理後の冷却の際に分断されることを回避することができる。支持層23を設けることにより、この冷却時の応力がさらに緩和され、配線層24が分断されることを回避できる効果を高めることができる。

【0044】

(第2実施形態)

第2実施形態に係る半導体装置は、第1実施形態に係る半導体装置から支持層23を除いた構造を有する。

【0045】

図8は、本発明の第2実施形態に係る半導体装置51を概略的に示す断面図である。図8に示すように、層間絶縁膜13の上に、支持層23を介すことなく層間絶縁膜31が設けられている。

【0046】

次に、上記構成の半導体装置51の製造方法について、図8～図11を参照して説明する。まず、第1実施形態の図4までの工程と同様の工程が実施される。この結果、層間絶縁膜31内に支持プラグ22が形成されるとともに、層間絶縁膜13上に支持層23が堆積される。

【0047】

次に、図9に示すように、例えばCMP法により支持層23が除去される。この際、層間絶縁膜13にかかる圧力は支持プラグ22により緩和されたため、層間絶縁膜13に亀裂が生じることを防止できる。

【0048】

次に、図10に示すように、第1実施形態の図5と同様の工程により、ビアホール42a、42b、および配線溝43a、43bが形成される。

【0049】

次に、図11に示すように、第1実施形態の図7と同様の工程により、接続プラグ21a、21b、および配線層24a、24bが形成される。

【0050】

次に、図8に示すように、第1実施形態の図1と同様の工程により、層間絶縁膜31等が形成される。

【0051】

本発明の第2実施形態に係る半導体装置によれば、第1実施形態と同様に、配線層24a、24bの下の層間絶縁膜13内に支持プラグ22a、22b、22cが設けられる。このため、第1実施形態と同様の効果を得られる。

【0052】

また、第1実施形態に比べて、第2実施形態に係る半導体装置は支持層23を有さない。このため、第1実施形態において得られる、支持層23により得られる効果は得られない。しかしながら、支持層23は典型的には層間絶縁膜23より高い比誘電率を有するため、第2実施形態では、支持層23が設けられない分、半導体装置51全体として寄生容量を低減させることができる。

【0053】

(第3実施形態)

第3実施形態は、第2実施形態の変形例に関わる。構造については、第2実施形態(図8)と同様であり、製造方法が第2実施形態のそれと異なる。以下、図2、図3、図8、図10～図14を参照して、第3実施形態に係る半導体装置の製造方法について説明する。

【0054】

まず、第1実施形態の図2の工程と同様の工程が実施されることにより、半導体基板2内に配線層11a、11b、11cが形成される。次に、図12に示すように、半導体基板2上の全面に、支持プラグ22の材料膜61が、公知の方法により堆積される。次に、この材料膜61上にマスク材62が堆積される。次にこのマスク材が、支持プラグ22a、22b、22cがそれぞれ形成される予定の領域を覆うように、リソグラフィー工程、およびRIE等のエッティング技術を用いてパターニングされる。

【0055】

次に、図13に示すように、マスク材62をマスクとしたRIE等のエッティング技術により、材料膜61がパターニングされる。この結果、支持プラグ22a

、22b、22cが形成される。

【0056】

次に、図14に示すように、第1実施形態の図3に示す工程と同様の工程により、半導体基板2上の全面に層間絶縁膜13が堆積される。この後の工程は、第2実施形態の図10、図11に示す工程と同様である。

【0057】

本発明の第3実施形態に係る半導体装置によれば、第1実施形態と同様に、配線層24a、24bの下の層間絶縁膜13内に支持プラグ22a、22b、22cが設けられる。このため、第1実施形態と同様の効果を得られる。また、第3実施形態に係る半導体装置は、支持層23を有さず、第2実施形態と同様の効果を得られる。

【0058】

第3実施形態に係る半導体装置の製造方法によっても、第2実施形態に係る半導体装置と同様の構造を得ることができる。

【0059】

(第4実施形態)

第4実施形態は、第2実施形態の変形例に関わる。構造については、第2実施形態(図8)と同様であり、製造方法が第2実施形態のそれと異なる。以下、図8、図9、図13～図16を参照して、第4実施形態に係る半導体装置の製造方法について説明する。

【0060】

まず、第2実施形態の図9までの工程と同様の工程が実施される。この結果、図15に示すように、配線層11a、11b、11c、ストッパー層12、層間絶縁膜13と同様の層間絶縁膜13a、支持プラグ22a、22b、22cが形成される。

【0061】

次に、図16に示すように、層間絶縁膜13aが、例えば弗酸等を用いたウェットエッチングにより一旦除去される。この結果、第3実施形態の図13に示す構造と同様の構造が得られる。この後の工程は、第3実施形態の図14以下の工

程と同様である。

【0062】

本発明の第4実施形態に係る半導体装置によれば、第1実施形態と同様に、配線層24a、24bの下の層間絶縁膜13内に支持プラグ22a、22b、22cが設けられる。このため、第1実施形態と同様の効果を得られる。また、第4実施形態に係る半導体装置は、支持層23を有さず、第2実施形態と同様の効果を得られる。

【0063】

第4実施形態に係る半導体装置の製造方法によっても、第2実施形態に係る半導体装置と同様の構造を得ることができる。

【0064】

(第5実施形態)

第5実施形態は、空中配線構造を有する半導体装置に関わる。図17は、本発明の第5実施形態に係る半導体装置71を概略的に示す断面図である。図17に示すように、半導体基板2の上方（ストッパー層12上）の支持層23までの配線間領域（第1領域）72は、気体が封入されている。ここで気体が封入されている状態には、真空状態が含まれるものとし、真空状態とは、外気圧（典型的には1気圧）より低い圧力の状態をいう。配線間領域72に封入される気体として、例えばN₂、He、Ar等が用いられる。接続プラグ21a、21b、および支持プラグ22a～22cのそれぞれの間には、配線間領域72を満たす気体が存在している。したがって、接続プラグ21a、21b、および支持プラグ22a～22cのそれぞれの間は、所定の間隔が設けられる。

【0065】

支持層23および配線層24上の全面には、ストッパー層73が設けられる。ストッパー層73は、ストッパー層12と同様の構造を有する。ストッパー層73の上の全面には、層間絶縁膜31が設けられる。

【0066】

空中配線構造では、配線間領域72の強度は、層間絶縁膜が設けられる場合より低い。このため、支持プラグ22が占める領域が、層間絶縁膜が設けられる第

1～第4実施形態の場合より大きくなるように、支持プラグ22の構成、配置等が決定される。

【0067】

たとえば、支持プラグ22のヤング率は、10以上、好ましくは50～200、さらに好ましくは80～200である。

【0068】

また、支持プラグ22の幅Xは、配線層24の幅Aの1%～100%、好ましくは10%～100%、より好ましくは20%～50%である。

【0069】

また、支持プラグ22の長さYの0.05%～80%、好ましくは1%～80%、さらに好ましくは20%～50%の距離ごとに設けられる。

【0070】

また、配線層24の底面積のうちで接続プラグ21が設けられていない領域の面積の1%～80%、好ましくは5%～50%、さらに好ましくは10%～30%の領域に支持プラグ22が設けられるように、各支持プラグ22の断面積、間隔等が決定される。

【0071】

次に、上記構成の半導体装置71の製造方法について、図7、図17～図19を参照して説明する。まず、第1実施形態の図7までの工程と同様の工程が実施されることにより、図7に示すように、配線層11、ストッパー層12、層間絶縁膜13、接続プラグ21、支持プラグ22、支持層23、配線層24が形成される。

【0072】

次に、図18に示すように、半導体基板2上の全面に、公知の方法によりストッパー層73が堆積される。

【0073】

次に、図19に示すように、層間絶縁膜13が除去される。層間絶縁膜13を除去する方法として、例えば、ストッパー層73および支持層23の一部に開口を形成し、この開口よりイオンを注入したRIE法を用いることができる。また

、この開口を用いたウェットエッチングにより、層間絶縁膜13を除去することもできる。また、層間絶縁膜13の除去後、開口より気体を注入し、この開口を閉じることにより配線間領域72に気体を充填することも可能である。

【0074】

次に、図17に示すように、ストッパー層73の上に層間絶縁膜31等が形成される。

【0075】

本発明の第5実施形態によれば、半導体装置71は空中配線構造の多層配線を有し、気体が封入された配線間領域72において、配線層24a、24bの下に接続プラグ21a、21bが設けられていない部分に支持プラグ22a、22b、22cが設けられる。このため、配線層24にかかる圧力によって、配線層24のうちで接続プラグ21上に無い部分が陥没することを防止できる。

【0076】

さらに、配線層24の延在方向に延びる方向に働く応力が支持プラグ22により緩和される。したがって、配線層24が熱処理後の冷却の際に、分断されることを回避することができる。

【0077】

また、支持層23が設けられることにより、配線層24にかかる圧力が広範囲に亘って分散され、また配線層24内で発生する応力が緩和される。このため、支持プラグ22により得られる効果とあいまって、配線層24が分断されたり、陥没したりすることを防止する効果が高まる。

【0078】

(第6実施形態)

第6実施形態に係る半導体装置は、第5実施形態に係る半導体装置から支持層23を除いた構造を有する。

【0079】

図20は、本発明の第6実施形態に係る半導体装置81を概略的に示す断面図である。図20に示すように、2層目の配線層24の上にストッパー層73が設けられる。気体が封入される配線間領域72は、ストッパー層12からストッパー

一層73の間の領域を占める。第6実施形態における支持層22の構成は第5実施形態のそれと同様である。

【0080】

次に、図10、図11、図14、図20～図22を参照して、上記構成の半導体装置81の製造方法について説明する。まず、第3実施形態の図14までの工程と同様の工程が実施されることにより、図14に示すように、配線層11、ストッパー層12、層間絶縁膜13、支持プラグ22が形成される。

【0081】

次に、第2実施形態の図10、図11の工程と同様の工程が実施されることにより、図11に示すように、接続プラグ21、配線層24が形成される。

【0082】

次に、図21に示すように、半導体基板2上の全面に、公知の方法によりストッパー層73が堆積される。

【0083】

次に、図22に示すように、第5実施形態の図19に示す工程と同様の工程により、層間絶縁膜13が除去されるとともに、配線間領域72が気体が充填された状態とされる。次に、図20に示すように、公知の方法により層間絶縁膜31等が形成される。

【0084】

本発明の第6実施形態によれば、第5実施形態と同様に、半導体装置は空中配線構造の多層配線を有し、気体が封入された配線間領域72において、配線層24a、24bの下に接続プラグ21a、21bが設けられていない部分に支持プラグ22a、22b、22cが設けられる。このため、第5実施形態と同様の効果を得られる。

【0085】

また、第5実施形態に比べ、第6実施形態に係る半導体装置は支持層23を有さない。このため、第5実施形態において得られる、支持層23により得られる効果は得られない。しかしながら、支持層23は典型的には層間絶縁膜31より高い比誘電率を有するため、第6実施形態では、支持層23が設けられない分、

半導体装置全体として寄生容量を低減させることができる。

【0086】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【0087】

【発明の効果】

以上、詳述したように本発明によれば、多層配線構造の層間絶縁膜に低強度の材料が用いられた場合、または空中配線構造が用いられた場合、配線層が分断されたり、陥没したりすることを防止可能な半導体装置およびその製造方法を提供できる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係る半導体装置を概略的に示す断面図。

【図2】 図1の半導体装置の製造工程を概略的に示す断面図。

【図3】 図2に続く工程を概略的に示す断面図。

【図4】 図3に続く工程を概略的に示す断面図。

【図5】 図4に続く工程を概略的に示す断面図。

【図6】 図5に続く工程を概略的に示す断面図。

【図7】 図6に続く工程を概略的に示す断面図。

【図8】 本発明の第2実施形態に係る半導体装置を概略的に示す断面図。

【図9】 図8の半導体装置の製造工程を概略的に示す断面図。

【図10】 図9に続く工程を概略的に示す断面図。

【図11】 図10に続く工程を概略的に示す断面図。

【図12】 本発明の第3実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図13】 図12に続く工程を概略的に示す断面図。

【図14】 図13に続く工程を概略的に示す断面図。

【図15】 本発明の第4実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図16】 図15に続く工程を概略的に示す断面図。

【図17】 本発明の第5実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図18】 図17の半導体装置の製造工程を概略的に示す断面図。

【図19】 図18に続く工程を概略的に示す断面図。

【図20】 本発明の第6実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図21】 図20の半導体装置の製造工程を概略的に示す断面図。

【図22】 図21に続く工程を概略的に示す断面図。

【図23】 多層配線構造を有する半導体装置の従来の構造を示す断面図。

【図24】 図23の構造の問題点を示す図。

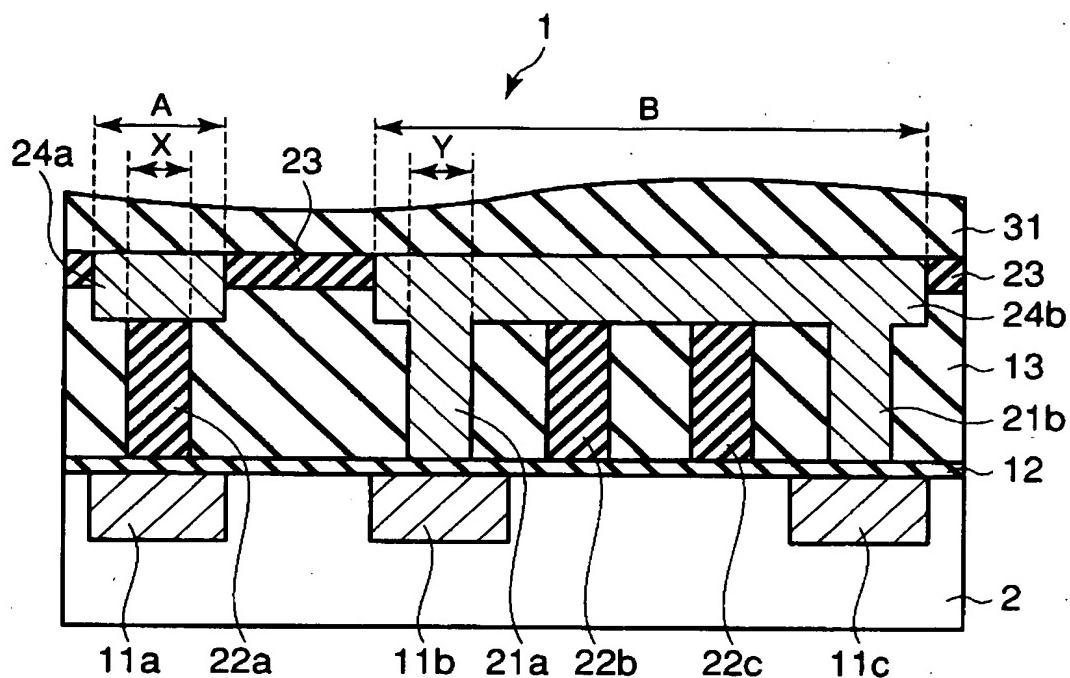
【符号の説明】

1、51、71…半導体装置、2…半導体基板、11a、11b、11c、24a、24b…配線層、12、73…ストッパー層、13、31…1層目の層間絶縁膜、21a、21b…接続プラグ、22a、22b、22c…支持プラグ、23…支持層、41a、41b、41c、42a、42b…ビアホール、43a、43b…配線溝、61…材料膜、62…マスク材、72…配線間領域。

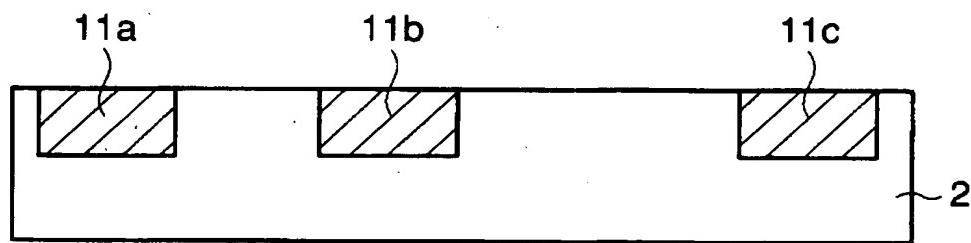
【書類名】

図面

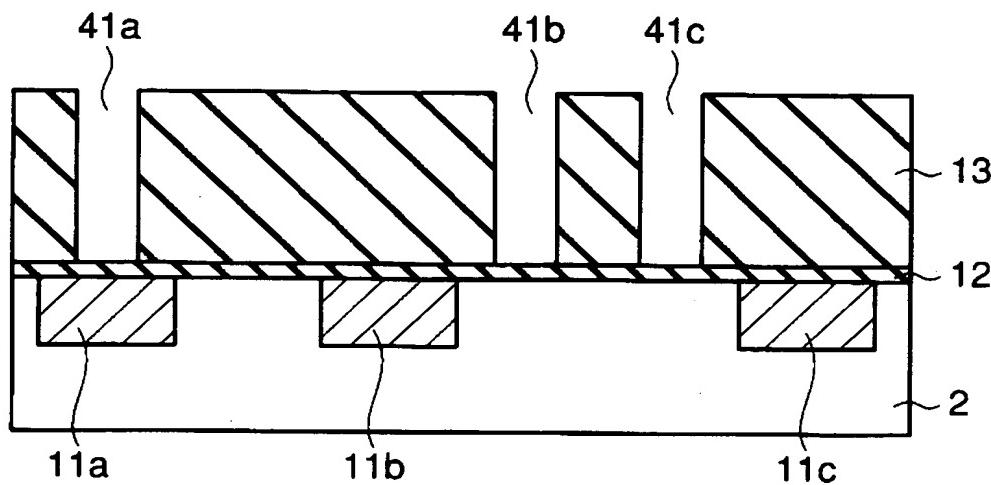
【図1】



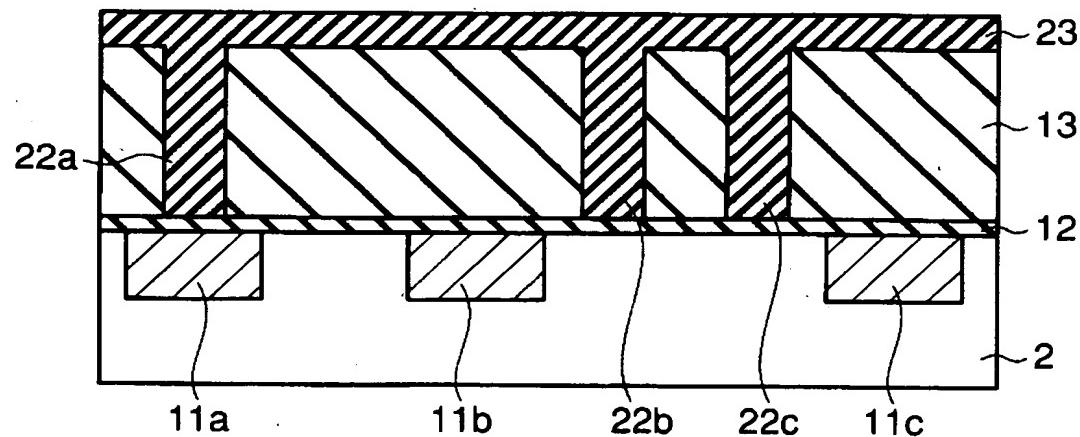
【図2】



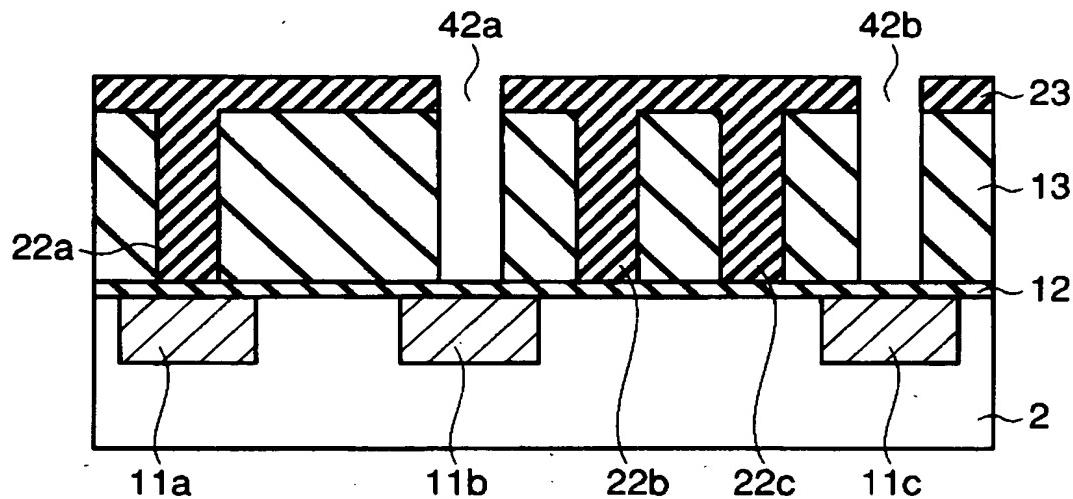
【図3】



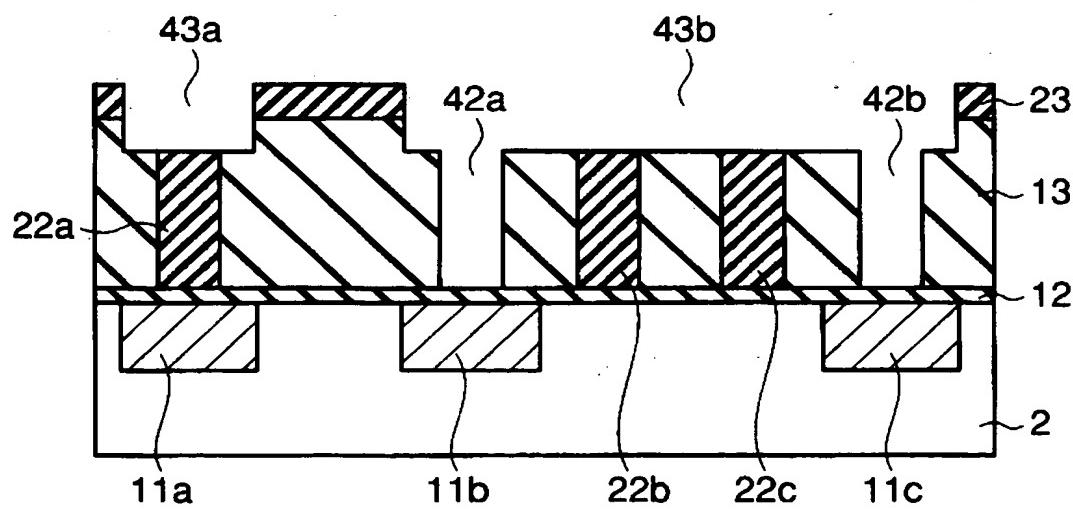
【図4】



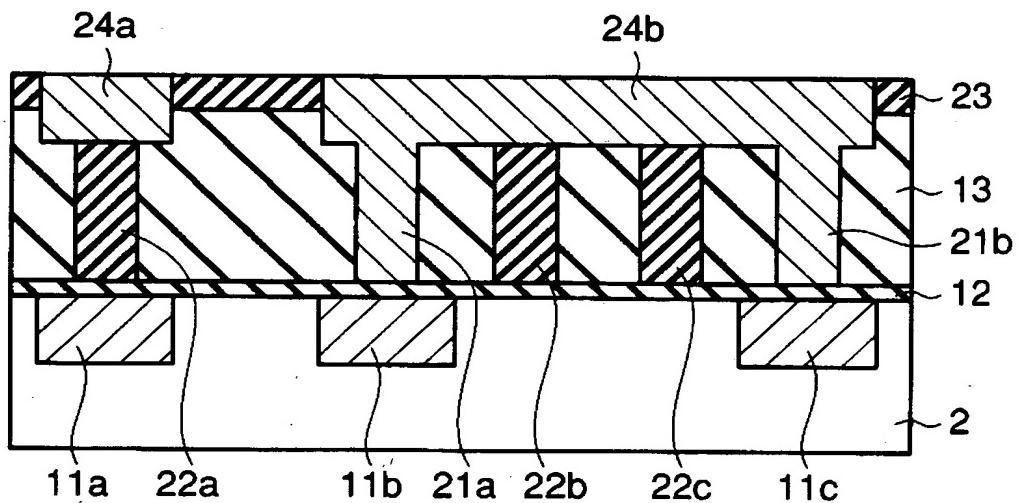
【図5】



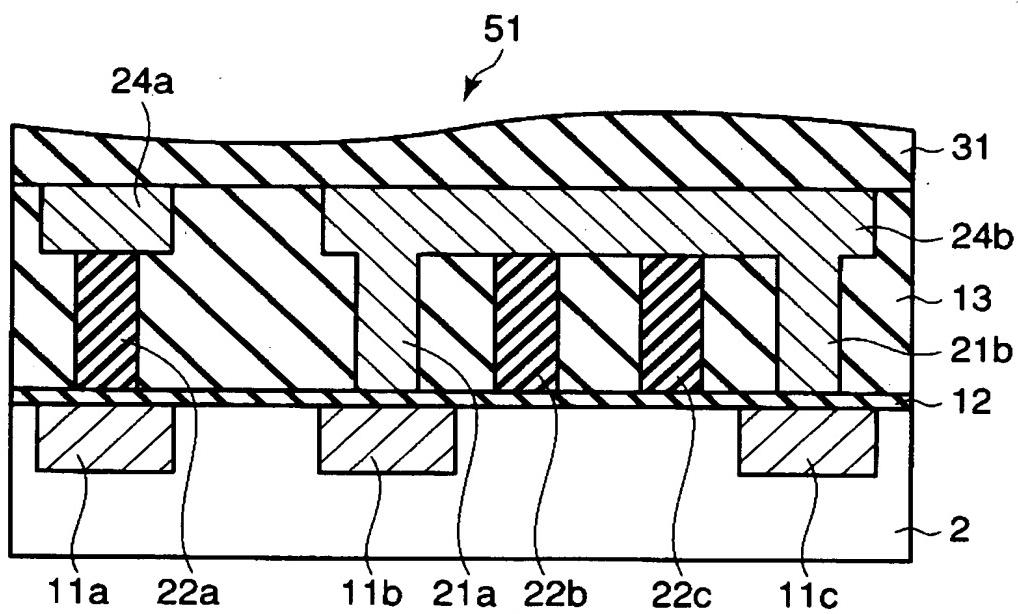
【図6】



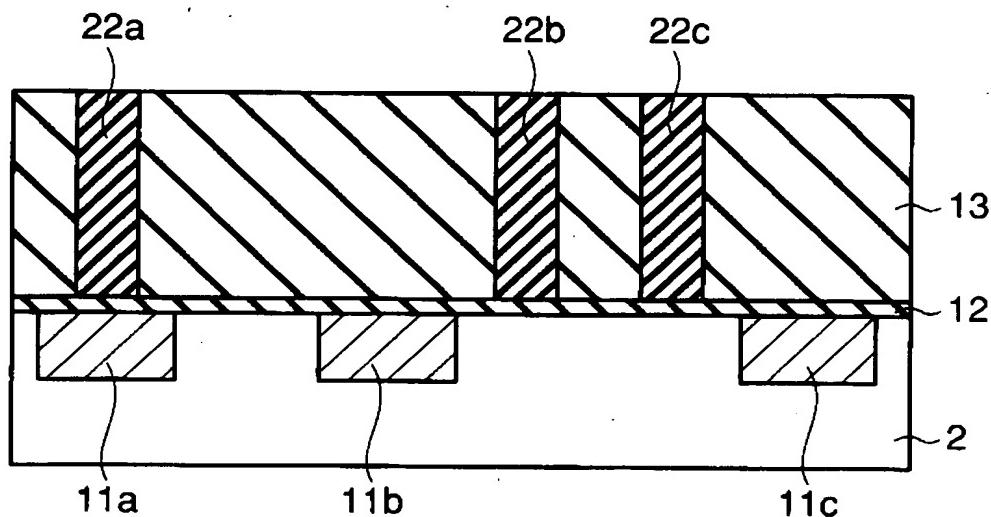
【図7】



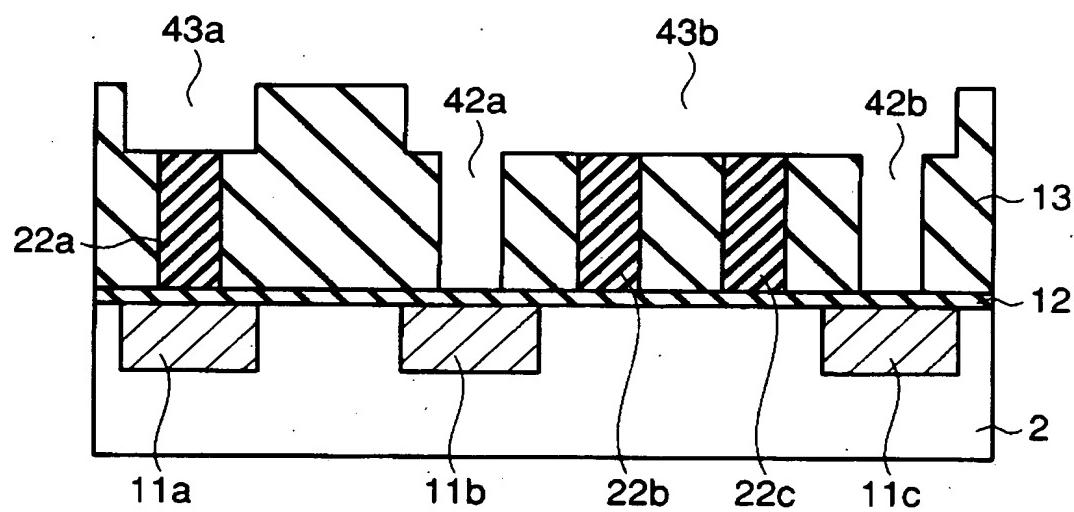
【図8】



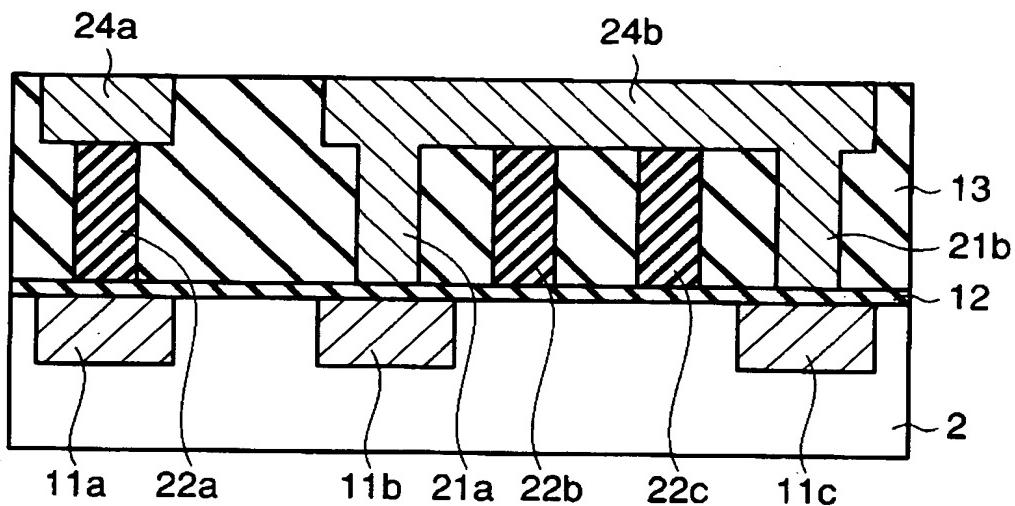
【図 9】



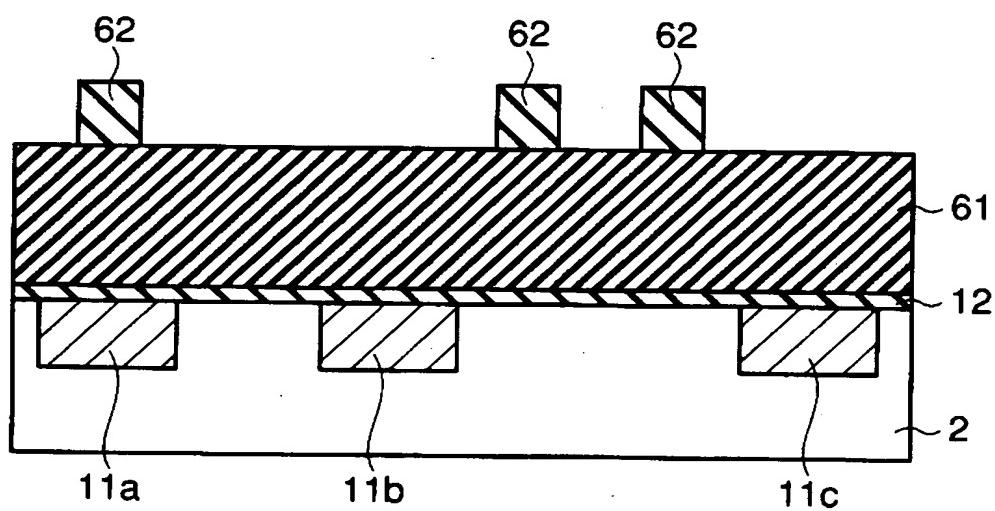
【図 10】



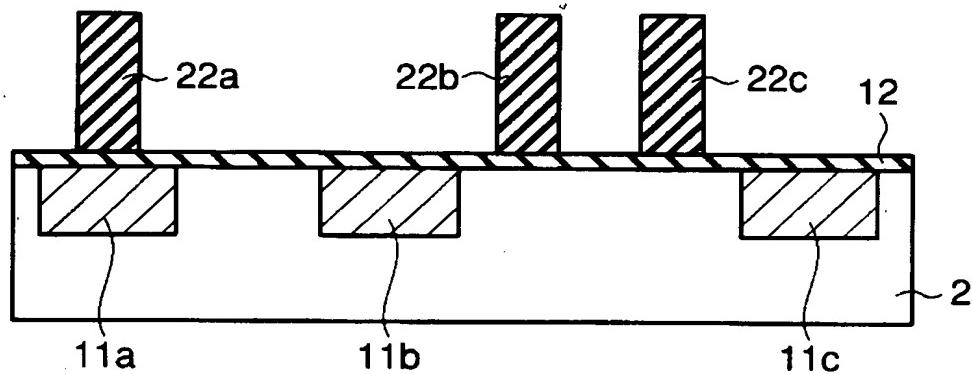
【図11】



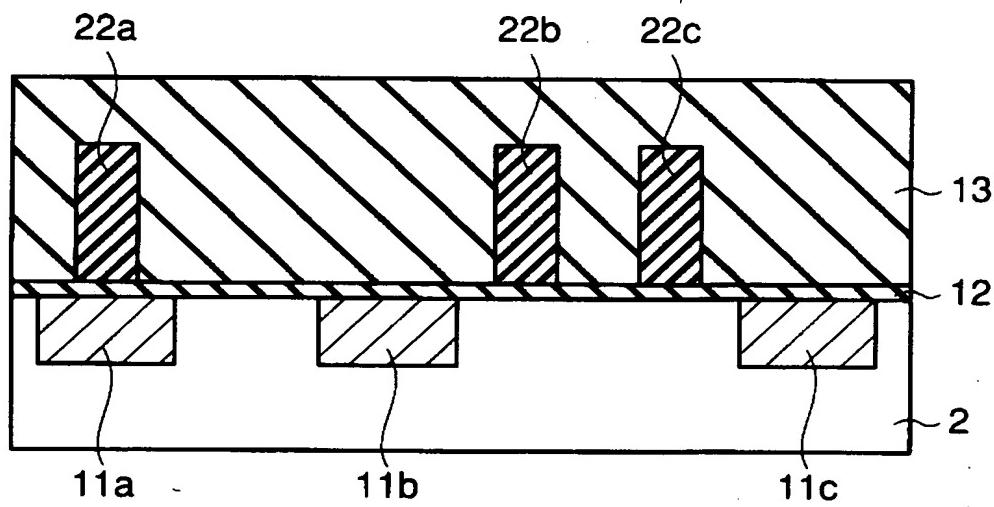
【図12】



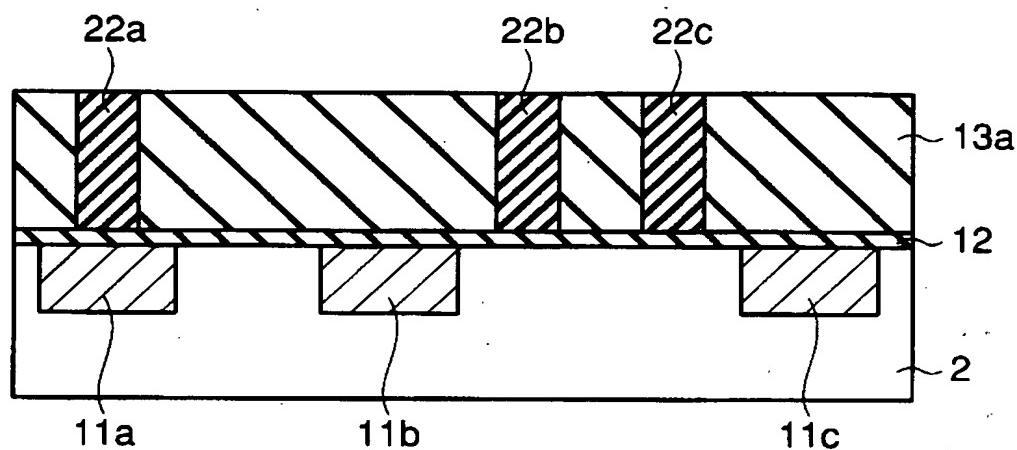
【図13】



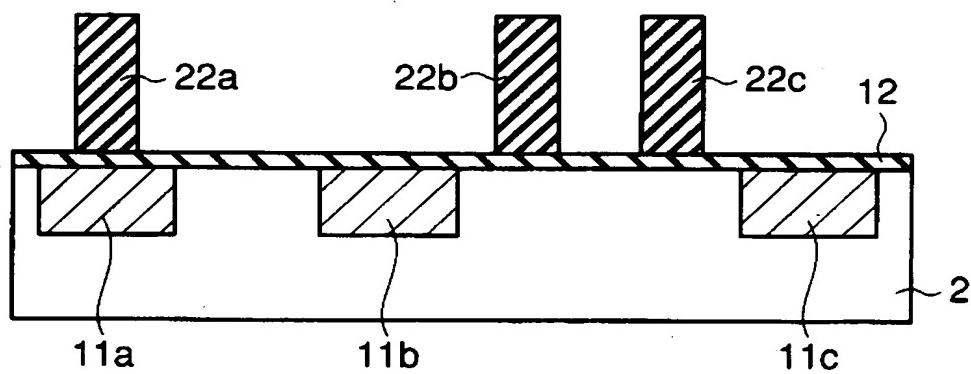
【図14】



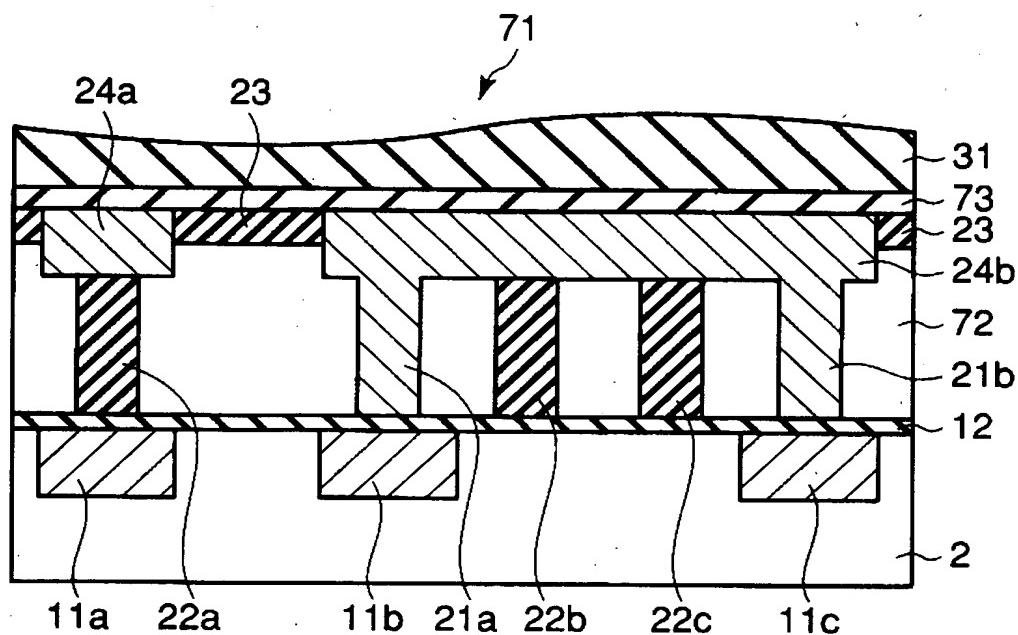
【図15】



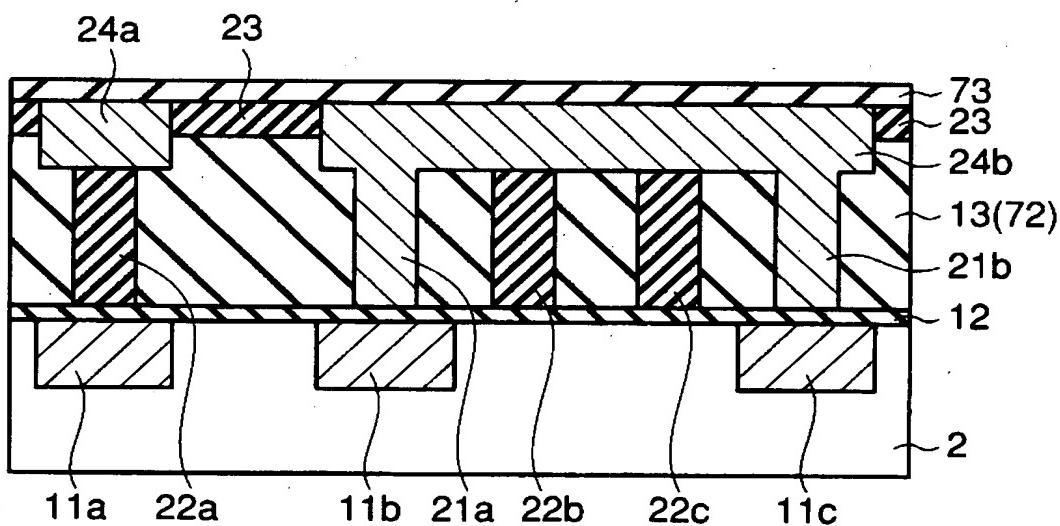
【図16】



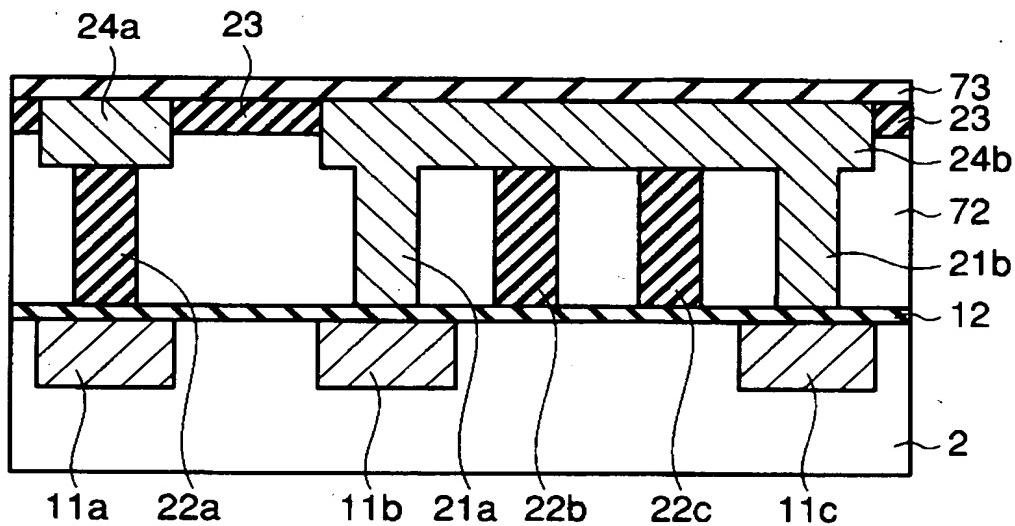
【図17】



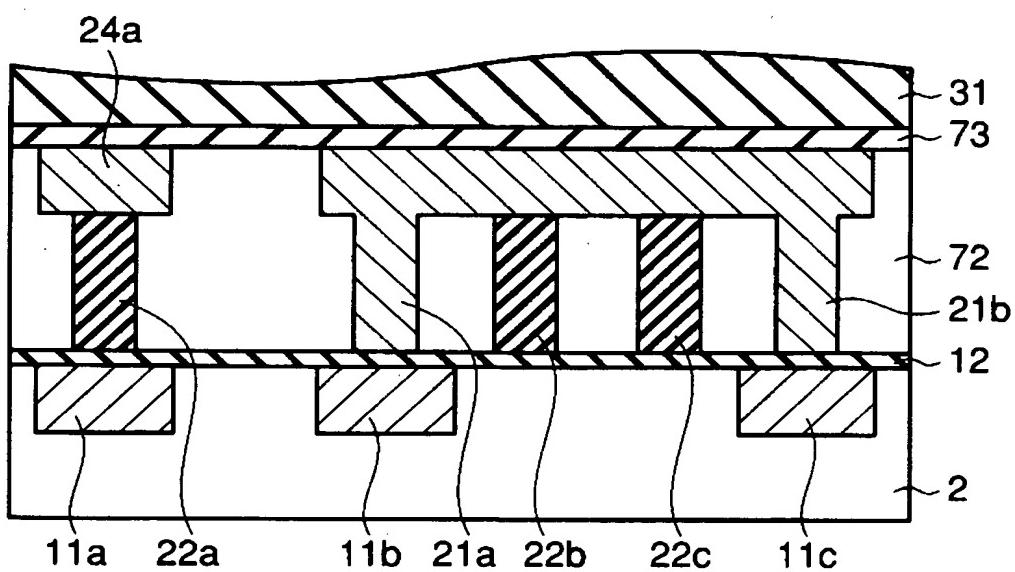
【図18】



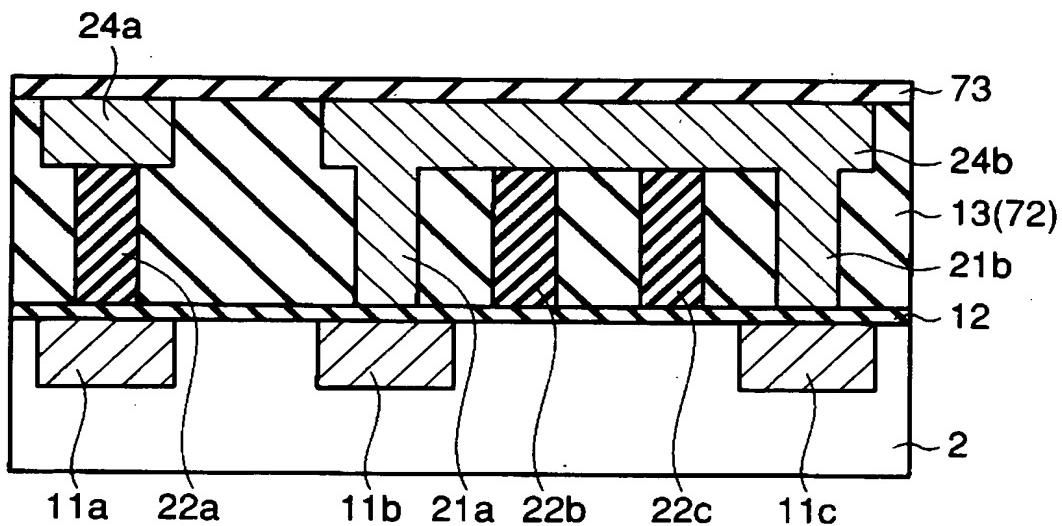
【図19】



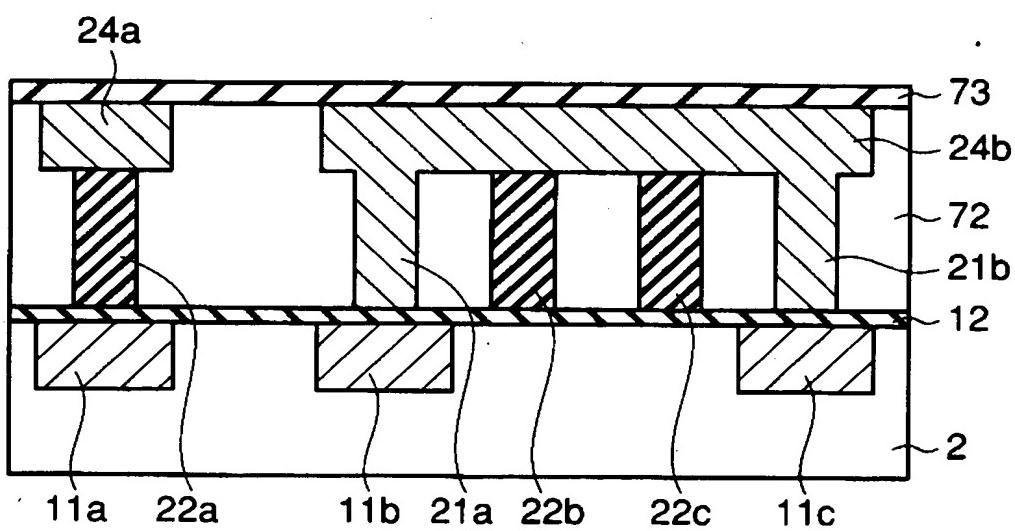
【図20】



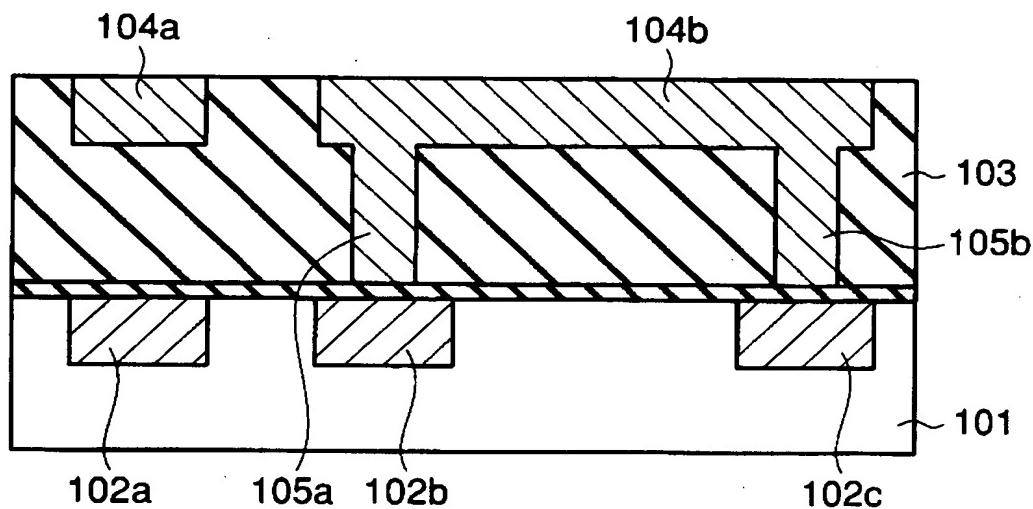
【図21】



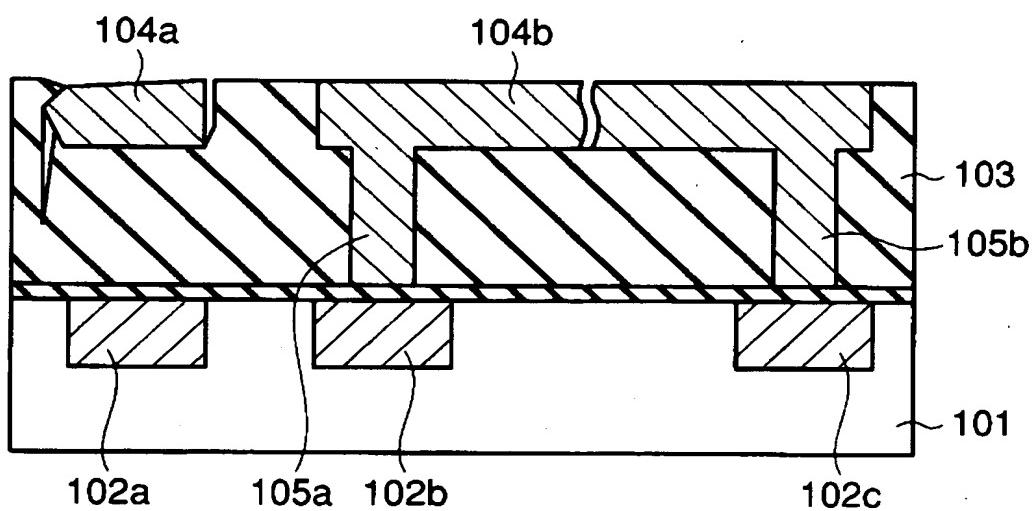
【図22】



【図23】



【図24】



【書類名】 要約書

【要約】

【課題】 多層配線構造を有する半導体装置において、低強度の層間絶縁膜が使用された場合および空中配線構造が採用された場合、層間絶縁膜に亀裂が生じたり、配線層が分断されたりすることを回避可能な半導体装置を提供する。

【解決手段】 半導体装置は、第1導電性領域を有する下地部分と、下地部分と離間して配設された配線層を有する。下地部分から配線層までの領域を占める第1領域は、気体が充填された状態、または第1層間絶縁膜が配設された状態である。第1接続プラグは、第1領域内に配設され、且つ第1導電性領域と配線層とを電気的に接続する。第1支持プラグは、第1接続プラグとの間に、気体が充填されるかまたは第1層間絶縁膜が配設されるように第1領域内に配設され、配線層から下地部分に達し、且つ第2ヤング率を有する。

【選択図】 図1

特願2003-123737

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝

2. 変更年月日 2003年 5月 9日

[変更理由] 名称変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝